

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-103035

(43)公開日 平成11年(1999)4月13日

(51)Int.Cl.<sup>6</sup>

H 01 L 27/12

29/786

21/336

識別記号

F I

H 01 L 27/12

B

29/78

6 1 7 N

6 2 6 C

6 2 7 D

審査請求 未請求 請求項の数44 O L (全 19 頁)

(21)出願番号

特願平10-214971

(22)出願日

平成10年(1998)7月30日

(31)優先権主張番号 特願平9-204518

(32)優先日 平9(1997)7月30日

(33)優先権主張国 日本 (J P)

(71)出願人 000205041

大見 忠弘

宮城県仙台市青葉区米ヶ袋2-1-17-301

(71)出願人 596089517

株式会社ウルトラクリーンテクノロジー開発研究所

東京都文京区本郷4-1-4

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74)代理人 弁理士 福森 久夫

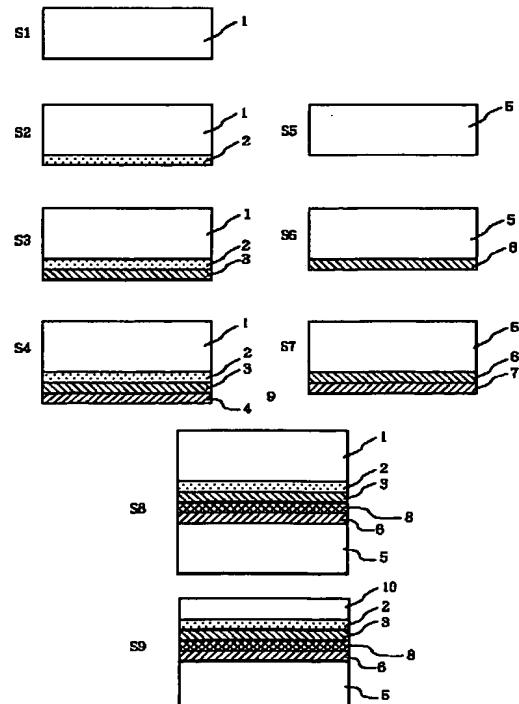
最終頁に続く

(54)【発明の名称】 半導体基板及びその作製方法

## (57)【要約】

【課題】 安定した電磁波遮蔽効果を維持して、デバイス特性、高速動作性の劣化を抑制する金属S O Iウェハ等の半導体基板及びその作製方法を提供することを目的とする。すなわち、本発明は、ギガ・スケール・インテグレーション(G S I)が可能な半導体基板を提供する。

【解決手段】 基材の上に設けられた導電性材料層と、該導電性材料層の上に設けられた絶縁層と、該絶縁層上に設けられた半導体層と、を有する半導体基板において、前記導電性材料層は、金属同士の反応層、金属と半導体の反応層、金属と金属半導体化合物との反応層、半導体と金属半導体化合物との反応層、金属半導体化合物同士の反応層から選択される少なくとも1つからなる導電性の層を有し、前記導電性材料層と前記絶縁層との間及び/又は、前記基材と前記導電性材料層との間に、前記導電性材料とは異なる材料からなる反応抑止層を有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 基材の上に設けられた導電性材料層と、該導電性材料層の上に設けられた絶縁層と、該絶縁層上に設けられた半導体層と、を有する半導体基板において、

前記導電性材料層は、金属同士の反応層、金属と半導体の反応層、金属と金属半導体化合物との反応層、半導体と金属半導体化合物との反応層、金属半導体化合物同士の反応層から選択される少なくとも1つからなる導電性の層を有し、

前記導電性材料層と前記絶縁層との間及び／又は、前記基材と前記導電性材料層との間に、前記導電性材料とは異なる材料からなる反応抑止層を有することを特徴とする半導体基板。

【請求項2】 前記半導体層は単結晶層であることを特徴とする請求項1に記載の半導体基板。

【請求項3】 前記基材は少なくとも表面が半導体からなる請求項1に記載の半導体基板。

【請求項4】 前記絶縁層は、シリコン酸化膜とシリコン窒化物又はシリコン酸化膜とアルミニウム窒化物を含むことを特徴とする請求項1に記載の半導体基板。

【請求項5】 前記反応層はシリサイド、前記基材の表面はシリコンであることを特徴とする請求項3に記載の半導体基板。

【請求項6】 前記反応抑止層は、金属、半導体、金属化合物の少なくともいずれか1層を含むことを特徴とする請求項1又は3のいずれか1項に記載の半導体基板。

【請求項7】 前記反応抑止層は、Ru、Ir、V、Ti、Cu、Be、Ag、Os、Mo及びWの内少なくとも1つ含む金属又は金属化合物であることを特徴とする請求項1又は3に記載の半導体基板。

【請求項8】 前記絶縁膜側に形成された反応抑止層の少なくとも一部は、良好な信号伝搬に必要とされる最高周波数成分に対応する電磁波の表皮深さより厚いことを特徴とする請求項1又は3に記載の半導体基板。

【請求項9】 前記反応抑止層をデバイスへの電源供給ライン又は接地ラインとすることを特徴とする請求項1又は3に記載の半導体基板。

【請求項10】 前記反応抑止層は、ノンドープシリコンと仕事関数が異なる導電性材料からなることを特徴とする請求項1又は3に記載の半導体基板。

【請求項11】 前記絶縁層と前記反応抑止層の間に、ノンドープシリコンと仕事関数が異なる導電性材料層を設けることを特徴とする請求項1又は3に記載の半導体基板。

【請求項12】 前記半導体は、n-Si、n<sup>+</sup>-Si、p-Si又はp<sup>+</sup>-Siであることを特徴とする請求項1又は3に記載の半導体基板。

【請求項13】 前記反応層はシリサイド、前記反応抑止層は金属であることを特徴とする請求項1に記載の半

## 導体基板。

【請求項14】 前記反応抑止層は、前記反応層形成時の温度では、該反応層と反応しない材料からなることを特徴とする請求項1に記載の半導体基板。

【請求項15】 請求項1記載の半導体基板の製造方法において、第1の部材の単結晶半導体からなる表面上に絶縁層を形成する工程、前記絶縁層上に、金属、半導体又は金属化合物のいずれかからなる第1の反応前駆層を形成する工程、第2の部材の表面に金属、半導体又は金属化合物のいずれかからなる第2の反応前駆層を有する

第2の部材又はそれ自体が反応前駆層となる第2の部材を用意する工程、前記第1及び第2の反応前駆層を接触し反応させて、前記第1及び第2の部材を貼り合わせる工程、を含み、前記第1の反応前駆層と前記絶縁層との間及び／又は前記第2の反応前駆層と第2の部材との間に、前記第1及び第2の反応前駆層のいずれとも異なる材料からなる反応抑止層を形成する工程をさらに含むことを特徴とする半導体基板の製造方法。

【請求項16】 前記反応抑止層は、Ru、Ir、Ag、Os、Ti、Cu、Bi、Pb、Sn、Mo、In、Znから選択される少なくとも1種の金属又は金属化合物であることを特徴とする請求項15に記載の半導体基板の製造方法。

【請求項17】 前記反応抑止層は、TaN、TaSiN、TiN、TiSiN、WN、WSiNから選択される少なくとも1種の金属化合物であることを特徴とする請求項15に記載の半導体基板の製造方法。

【請求項18】 前記第1及び第2の反応前駆層の一方はシリコンであることを特徴とする請求項15に記載の半導体基板の製造方法。

【請求項19】 前記第1及び第2の反応前駆層の一方はシリコンであり、他方は第1の金属であり、前記反応抑止層はシリコンに対する反応性が該第1の金属よりも弱い第2の金属である請求項15に記載の半導体基板の製造方法。

【請求項20】 前記第1の金属は、Mg、Co、Ni、Pd、Pt、Taから選択される少なくとも1種金属を含み、前記第2の金属は、Ru、Ir、Ag、Os、Ti、Cu、Bi、Pb、Sn、Mo、In、Znから選択される少なくとも1種の金属化合物である請求項19に記載の半導体基板の製造方法。

【請求項21】 シリコン単結晶基板又はシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程、及び前記第1の金属堆積膜表面に第2の金属堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程及び前記第3の金属堆積膜表面に第4の金属堆積膜を形成する工程を経て第2の基板を作製し、統いて、前記50 第1の基板の第2の金属堆積膜と前記第2の基板の第4

の金属堆積膜とを密着させて熱処理を行い、前記第2の金属堆積膜と前記第4の金属堆積膜を合金化反応を起こさせる工程を含むことを特徴とする請求項1に記載の半導体基板の作製方法。

【請求項22】シリコン単結晶基板もしくはシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程及び前記第1の金属堆積膜表面に第2の金属堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程及び前記第3の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第2の基板を作製し、続いて、前記第1の基板の第2の金属堆積膜と前記第2の基板のシリコン堆積膜とを密着させて熱処理を行い、前記第2の金属堆積膜と前記シリコン堆積膜をシリサイド化反応させる工程を含むことを特徴とする請求項1に記載の半導体基板の作製方法。

【請求項23】前記第1の金属堆積膜は、前記第2の金属堆積膜とは合金を形成しない金属であることを特徴とする請求項21又は22に記載の半導体基板の作製方法。

【請求項24】シリコン単結晶基板もしくはシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程及び前記第1の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程及び前記第3の金属堆積膜表面に第4の金属堆積膜を形成する工程を経て第2の基板を作製し、前記第1の基板のシリコン堆積膜と前記第2の基板の第4の金属堆積膜と密着させて熱処理を行い、前記シリコン堆積膜と前記第4の金属堆積膜をシリサイド化反応させる工程を含むことを特徴とする請求項1に記載の半導体基板の作製方法。

【請求項25】シリコン単結晶基板もしくはシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程及び前記第1の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程、前記第3の金属堆積膜表面に第4の金属堆積膜を形成する工程及び前記第4の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第2の基板を作製し、続いて、前記第1の基板のシリコン堆積膜と前記第2の基板のシリコン堆積膜とを密着させて熱処理を行い、前記第4の金属堆積膜を前記第2の基板の前記シリコン堆積膜と、さらに連続して前記第1の基板の前記シリコン堆積膜とシリサイド化反応させる工程を含むことを特徴とする請求項1に記載の半導体基板の作製方法。

【請求項26】前記第1の金属堆積膜は、前記シリコ

ン堆積膜とはシリサイドを形成しない金属であることを特徴とする請求項24又は25に記載の半導体基板の作製方法。

【請求項27】基材の上に設けられた導電性材料層と、該導電性材料層の上に設けられた絶縁層と、該絶縁層上に設けられた半導体層と、を有する半導体基板において、

前記導電性材料層は金属又は金属化合物であり、前記導電性材料層と前記絶縁層との間及び／又は前記基材と前記導電性材料層との間に、前記導電性材料より反応性の低い金属又は金属化合物からなる層を有することを特徴とする半導体基板。

【請求項28】前記半導体層は単結晶層であることを特徴とする請求項27に記載の半導体基板。

【請求項29】前記基材は少なくとも表面が半導体からなる請求項27に記載の半導体基板。

【請求項30】前記絶縁層は、シリコン酸化膜とシリコン窒化物又はシリコン酸化膜とアルミニウム窒化物を含むことを特徴とする請求項27に記載の半導体基板。

【請求項31】前記導電性材料層はシリサイド、前記基材の表面はシリコンであることを特徴とする請求項29に記載の半導体基板。

【請求項32】前記反応抑制層は、高融点金属、又は、高融点金属化合物の少なくともいずれか1層を含むことを特徴とする請求項27に記載の半導体基板。

【請求項33】前記反応性の低い層は、Ru、Ir、V、Ti、Cu、Be、Ag、Os、Mo及びWの内少なくとも1つ含む金属又は金属化合物であることを特徴とする請求項27に記載の半導体基板。

【請求項34】前記絶縁膜側に形成された反応性の低い層の少なくとも一部は、良好な信号伝搬に必要とされる最高周波数成分に対応する電磁波の表皮深さより厚いことを特徴とする請求項27に記載の半導体基板。

【請求項35】前記反応性の低い層をデバイスへの電源供給ライン又は接地ラインとすることを特徴とする請求項27に記載の半導体基板。

【請求項36】前記反応性の低い層と、前記絶縁層との間に、ドープされた半導体層を有することを特徴とする請求項1又は27記載の半導体基板。

【請求項37】前記絶縁層と前記反応性の低い層の間に、ノンドープシリコンと仕事関数が異なる更に別の導電性材料層を設けることを特徴とする請求項27に記載の半導体基板。

【請求項38】前記基材は、n-Si、n<sup>+</sup>-Si、p-Si又はp<sup>+</sup>-Siであることを特徴とする請求項1又は27に記載の半導体基板。

【請求項39】前記導電性材料層はシリサイド、前記反応性の低い層は高融点金属であることを特徴とする請求項27に記載の半導体基板。

【請求項40】前記反応性の低い層は、前記導電性材

料層形成時の温度では、該導電性材料層と反応しない材料からなることを特徴とする請求項27に記載の半導体基板。

【請求項41】 請求項27記載の半導体基板の製造方法において、第1の部材の単結晶半導体からなる表面上に絶縁層を形成する工程、前記絶縁層上に、金属、半導体又は金属化合物のいずれかからなる第1の反応前駆層を形成する工程、第2の部材の表面に金属、半導体又は金属化合物のいずれかからなる第2の反応前駆層を有する第2の部材又はそれ自体が反応前駆層となる第2の部材を用意する工程、前記第1及び第2の反応前駆層を接觸し反応させて、前記第1及び第2の部材を貼り合わせる工程、を含み、前記第1の反応前駆層と前記絶縁層との間及び／又は前記第2の反応前駆層と第2の部材との間に、前記第1及び第2の反応前駆層のいずれとも異なる材料からなる反応抑止層を形成する工程をさらに含むことを特徴とする半導体基板の製造方法。

【請求項42】 前記反応性の低い層は、Ru、Ir、Ag、Os、Tl、Cu、Bi、Pb、Sn、Mo、In、Znから選択される少なくとも1種の金属又は金属化合物、又はTaN、TaSiN、TiN、TiSiN、WN、WSiNから選択される少なくとも1種の金属化合物であることを特徴とする請求項27に記載の半導体基板の製造方法。

【請求項43】 前記基材の裏面には、金属が剥離されている請求項1又は27に記載の半導体基板。

【請求項44】 前記半導体層は、FET又はバイポーラトランジスタの活性領域を有しており、該活性領域の一部が前記絶縁層に設けられた開孔を通して前記導電性材料層及び／又は前記反応性の低い層に接続されている請求項27に記載の半導体基板。

#### 【発明の詳細な説明】

##### 【0001】

【発明が属する技術分野】本発明は、半導体基板及びその作製方法に係り、さらに詳しくは貼り合わせ界面の構造、あるいは絶縁物上の単結晶半導体層に作製される電子デバイス、集積回路に適した半導体基板とその作製方法に関するものである。

##### 【0002】

【従来の技術】現在のコンピュータにおいて、その主要部分を構成するMOSトランジスタ集積回路は、従来その加工寸法をスケーリング則に従って微細化していくことにより、バイナリ・ディジタル論理ULSIシステムの動作性能、すなわち動作速度と集積度を向上させてきた。しかし、プロセス技術の発展により最小加工寸法となるMOSトランジスタのゲート長が $1\mu m$ 以下になると、短チャネル効果を初め、様々な寄生効果の影響を受けるようになり、これまで通り微細化した分だけの特性の向上が得られなくなってきた。

##### 【0003】

近年、これらの問題に対する有力な解決手

段としてSOIデバイスが注目されている。SOIとは、「絶縁物上のシリコン」を意味するSilicon On Insulatorの略で、絶縁物上に載った単結晶シリコン半導体層の部分に素子を形成することを特徴としている。そして、最近ではSemiconductor On Insulatorと広義に言及される。SOIは当初、寄生容量の低減、高放射線耐性、およびラッチアップフリーなど通常のシリコン集積回路を作製するバルクシリコン基板では到達し得ない優位点を主目的に開発され、厚膜のシリコン層が使われていた。しかし最近では、シリコン層を $100 nm$ 以下にしてシリコン薄膜全体を空乏化させた、いわゆる完全空乏型SOIにその優れた短チャネル効果抑制の性質が見出されている。薄膜完全空乏化SOIデバイスが、従来のバルクデバイスと比較して優れている点を挙げると、次の4点に集約される。

【0004】 (1) 誘電体分離が容易で、かつ完全素子分離が可能なため、プロセスの簡素化・高集積化が図れる。

(2) 放射線耐性に優れているため、素子の高信頼化が図れる。

(3) 浮遊容量が低減されるため、素子の高速化・低消費電力化が図れる。

(4) シリコン層の薄膜化による完全空乏層電界効果トランジスタが可能なため、短チャネル効果が抑制され、デザインルールの微細化が図れる。

【0005】 一般に、SOI MOSデバイスは、SOIウエハを出発材料としてMOSトランジスタを作り込んでいくため、高信頼性・高性能SOIデバイスを作製するためには、その後のデバイス作製プロセス以上に開始時のSOI基板の品質が非常に重要となる。過去数十年に渡り、SOI基板の形成方法については数多く研究されており、そのSOI構造の形成方法は次の3つに大別される。

【0006】 (1) シリコン単結晶体の表面を酸化後に、酸化膜の一部に窓を開けてシリコン基体を部分的に表させ、その部分を種として横方向へエピタキシャル成長させ、 $SiO_2$ 上へシリコン単結晶層を形成するもの。

(2) シリコン単結晶基体そのものを活性層として使用し、その下部に何らかの方法によって $SiO_2$ の埋込み層を形成するもの。

(3) シリコン基体を絶縁性の基体と貼り合わせた後、シリコン基体を研磨、あるいはエッティングして任意の厚みの単結晶層を残すもの。

【0007】 しかし、(1)に関してはその制御性、生産性、均一性、結晶品質に、(2)に関してはその生産性、結晶品質に、(3)に関してはその制御性、均一性に多くの問題を残している。そのため、現在これらSOI基板を用いた高集積回路は、従来のバルクシリコン基板を用いたものの様な大量生産の段階には達してはいない。

い。

【0008】ところで、最近、高品質なSOI基板、すなわち基板上全体に渡り厚さが均一で結晶性の良いSOI層を持つSOI基板を作成する手段として、ELTRAN(Epitaxial Layer TRANSfer by bond & etch back porous Si) SOI基板が提案された(特開平5-102445号「半導体基材の作成方法」、特開平5-217992号「半導体基板及びその作成方法」、特開平5-217821号「半導体基板の作成方法」、特開平5-217820号「半導体基板及びその作成方法」、特開平5-275663号「半導体素子基材及びその作成方法」、特開平5-275329号「半導体素子基材とその作成方法」、特開平6-342784号「多孔質シリコンをエッチングするためのエッティング液、前記エッティング液を用いたエッティング方法および前記エッティング液を用いた半導体基材の作製方法」、特開平7-249749号「SOI基板の作製方法」、特開平7-235651号「半導体基板およびその作製方法」)。このSOIウエハ製造方法の特徴は、多孔質シリコン表面の孔がエピタキシャル成長前のH<sub>2</sub>熱処理によって封止されるため、欠陥密度の低いSOI層が形成可能であることと、多孔質シリコンのエピタキシャル層に対するエッティング選択比が10<sup>5</sup>と高いため、SOI層の膜厚のバラツキが小さいことにある。したがって、デバイス部となるSOI層を極めて平滑にできるうえ、量産性にも優れているため、高品質・低成本でSOI基板を製造する技術であるといえる。

【0009】また、(3)の貼り合わせによるSOI基板作成方法に関しては、従来より貼り合わせ界面に高融点金属、または高融点シリサイドと高融点金属、またはシリコンを貼り合わせ、シリサイド反応を利用することで接着する方法が提案されている(特開平6-151789号「半導体基材の形成方法」、特開平4-186815号「シリコンオンインシュレータ基板の製造方法」、特開平4-148525号「SOI基板およびその製造方法」、特開昭59-224156号「絶縁体分離基板の製造方法」)。このSOIウエハ製造方法は、従来貼り合わせ工程時に問題となっていたSiとSiO<sub>2</sub>の熱膨張の差により発生する応力を、貼り合わせ界面に高融点金属、または高融点シリサイドと高融点金属、またはシリコンにしてシリサイド反応を利用することにより緩和し、基板全面に渡って均一な接着強度が得られることを特徴としている。

【0010】これに加え、後者2つの技術を融合し、さらに基板の大口径化やデバイスの超高速動作に対応させたSOI基板技術として、金属SOI基板が提案されている。(特願平8-305356号「半導体基材とその作製方法」)。これは、SOI基板技術の結晶高品質、高制御性、高生産性、高均一性に加え、金属反応を用いることで低温プロセスにおける貼り合わせを可能にし、

さらに動作周波数10GHzの超高速動作・超高密度LSIを実現にするための電磁波の遮蔽層および高廃熱特性を実現する絶縁構造を持つ極めて優れたSOI基板である。さらに、その作製方法は科学的な根拠に基き、あらゆる外乱因子が除去されているため、非常に高い機能性と生産性を実現している。

#### 【0011】

【発明が解決しようとする課題】上記金属SOI基板は、基板自体に機能性を持たせるという新しい概念に基づいた極めて優れた基板である。金属SOI基板は、例えば、特開平6-244416号公報やUSP5, 650, 650号に記載されている。

【0012】しかしながら、本発明者が以上のSOI基板を作製し、さらにこのSOI基板に種々のデバイスの作製し評価を行ったところ、以下のような問題があることが分かった。即ち、この基板構造では、貼り合わせ反応に用いる金属層と電磁界遮蔽に用いる金属層が同一金属であるため、強固な貼り合わせを行うには、貼り合わせプロセスの高温化や長時間化が必須である。これにより貼り合わせ反応界面のプロファイルはなだらかになり、該プロファイルを急峻に保つことが困難となる。強固な貼り合わせを実現し、かつ以降のプロセスにおける反応界面の変化をなくすためには、貼り合わせ反応層を均一かつ安定な反応物とする必要がある。しかし、上記技術の基板構造では、貼り合わせ反応境界面で意図しない反応が進行してしまう。そして、反応による材料の体積変化に起因した応力変化が次のような現象を引き起こす。1つは、絶縁膜上のデバイス層にストレスを蓄積することである。2つめはウエハを反らすことである。

3つめは電磁波を遮蔽するスキンデプスで特徴づけられた層の膜厚を減少させることである。こうして、デバイス特性・高速動作性の劣化が引き起こしされる。

【0013】本発明は、安定した電磁波遮蔽効果を維持して、デバイス特性、高速動作性の劣化を抑制する金属SOIウエハ等の半導体基板及びその作製方法を提供することを目的とする。すなわち、本発明は、ギガ・スケール・インテグレーション(GSI)が可能な半導体基板を提供することを目的とする。

#### 【0014】

【課題を解明するための手段】本発明の半導体基板は、基材の上に設けられた導電性材料層と、該導電性材料層の上に設けられた絶縁層と、該絶縁層上に設けられた半導体層と、を有し、前記導電性材料層は、金属同士の反応層、金属と半導体の反応層、金属と金属半導体化合物との反応層、半導体と金属半導体化合物との反応層、金属半導体化合物同士の反応層、から選択される少なくとも1つからなる導電性の層を有し、前記導電性材料層と前記絶縁層との間に及び／又は前記基材と前記導電性材料層との間に前記導電性材料層とは異なる材料からなる反応抑止層を有することを特徴とする。

【0015】また、本発明の半導体基板の作製方法は、第1の単結晶半導体からなる表面上に絶縁層を形成する工程、前記絶縁層上に、金属、半導体又は金属化合物のいずれかからなる第1の反応前駆層を形成する工程、第2の部材の表面上に、金属、半導体、又は金属化合物のいずれかからなる第2の反応前駆層を形成する工程、前記第1及び第2の反応前駆層を接触し反応させて、前記第1及び第2の部材との間に、前記第1及び第2の部材を貼り合わせる工程、を含み、前記第1の反応前駆層と前記絶縁層との間及び／又は前記第2の反応前駆層と前記第2の部材との間に、前記第1及び第2の反応前駆層のいずれ異なる材料からなる反応抑止層を形成する工程をさらに含むことを特徴とする。

【0016】本発明の半導体基板の作製方法は、シリコン単結晶基板又はシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程、及び前記第1の金属堆積膜表面に第2の金属堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程及び前記第3の金属堆積膜表面に第4の金属堆積膜を形成する工程を経て第2の基板を作製し、続いて、前記第1の基板の第2の金属堆積膜と前記第2の基板の第4の金属堆積膜とを密着させて熱処理を行い、前記第2の金属堆積膜と前記第4の金属堆積膜を合金化反応を起こさせる工程を含むことを特徴とする。

【0017】また、本発明の他の半導体基板の作製方法は、シリコン単結晶基板もしくはシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程及び前記第1の金属堆積膜表面に第2の金属堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程及び前記第3の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第2の基板を作製し、続いて、前記第1の基板の第2の金属堆積膜と前記第2の基板のシリコン堆積膜とを密着させて熱処理を行い、前記第2の金属堆積膜と前記シリコン堆積膜をシリサイド化反応させる工程を含むことを特徴とする。

【0018】また、本発明の他の半導体基板の作製方法は、シリコン単結晶基板もしくはシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程及び前記第1の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程及び前記第3の金属堆積膜表面に第4の金属堆積膜を形成する工程を経て第2の基板を作製し、前記第1の基板のシリコン堆積膜と前記第2の基板の第4の金属堆積膜と密着させて熱処理を行い、前記シリコン堆積膜と前記第4の金属堆積

膜をシリサイド化反応させる工程を含むことを特徴とする。

【0019】さらにまた、本発明の他の半導体基板の作製方法は、シリコン単結晶基板もしくはシリコン単結晶薄膜エピタキシャル層の表面に絶縁層を形成する工程、前記絶縁層表面に第1の金属堆積膜を形成する工程及び前記第1の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第1の基板を作製し、一方、シリコン単結晶基板の表面に第3の金属堆積膜を形成する工程、前記第3の金属堆積膜表面に第4の金属堆積膜を形成する工程及び前記第4の金属堆積膜表面にシリコン堆積膜を形成する工程を経て第2の基板を作製し、続いて、前記第1の基板のシリコン堆積膜と前記第2の基板のシリコン堆積膜とを密着させて熱処理を行い、前記第4の金属堆積膜を前記第2の基板の前記シリコン堆積膜と、さらに連続して前記第1の基板の前記シリコン堆積膜とシリサイド化反応させる工程を含むことを特徴とする。

【0020】本発明の半導体基板は、基材の上に設けられた導電性材料層と、該導電性材料層の上に設けられた絶縁層と、該絶縁層上に設けられた半導体層と、を有する半導体基板において、前記導電性材料層は金属又は金属化合物であり、前記導電性材料層と前記絶縁層との間及び／又は、前記基材と前記導電性材料層との間に、前記導電性材料層より反応性の低い金属又は金属化合物からなるを有することを特徴とする。

### 【0021】

【発明の実施の形態】図1は本発明の半導体基板及びその作製方法を示す図である。まず、本発明の半導体基板S9について述べる。第1の部材5からなる基材上には導電性材料層8と絶縁層2と半導体層10が設けられている。

【0022】この導電性材料層8と絶縁層2の間及び／又は導電性材料8と基材5との間には導電性材料層8とは異なる導電性又は半導体性の材料から実質的になる反応抑止層（反応停止層又は反応性の低い層ともいえる）6が介在している。

【0023】このような構成により、この半導体層10を加工して半導体デバイスを作り込んでも反応層8の上及び／又は下の界面は所望のプロファイルを維持し、界面の変化、ストレスの蓄積、該デバイスの劣化を抑止することができる。

【0024】次に本発明による半導体基板の作製方法について説明する。図1のS1に示すように、まず少なくとも一表面が単結晶半導体からなる第1の部材を用意する。S2に示すように、第1の部材の単結晶半導体からなる表面上に絶縁層2形成する。S3に示すように、絶縁層2の表面上に、第1の反応抑止層（反応停止層）3とを形成する。S4に示すように、第1の反応抑止層3の表面上に第1の反応前駆層4を形成する。一方、S5に示すように、第2の部材5の表面上に第2の反応抑止

11

層6を形成する。第1及び第2の反応抑止層3、6のうち一方は省くこともできる。S7に示すように、第2の反応抑止層6の表面上に第2の反応前駆層7を形成する。そして、S8に示すように、第1及び第2の反応前駆層4、7同士を適当な温度条件下で接触させると両者は合金化反応或いはシリサイド化反応等を起こし、反応層8となり、第1の部材1と第2の部材5とが貼り合わされる。

【0025】この時、第1又は第2の反応抑止層としては、貼り合わせ時の合金化或いはシリサイド化反応において、反応前駆層4、7や反応層8のいずれとも反応を実質的に生じないような材料が選択される。例えば、融点が600°C以上の高融点金属や高融点金属化合物は好適な材料の1つである。

【0026】更に、研磨、研削、エッチング、分割、剥離する方法により、第1の部材1のうち必要な層10を残して、不要な部分を第2の部材5の上から除去する。

【0027】本発明反応層を得るための反応には、金属と半導体との化学反応の他、金属間の合金化反応、及び金属と金属半導体化合物との反応、半導体と金属半導体化合物との反応、及び金属半導体化合物同士の反応も含まれる。

【0028】合金化反応としては、例えば、Al-Mg, Mg-Zr, Al-Cu, Al-Zn, Al-Mn, Cu-Mg, Cu-Al-Mg, Cu-Al-Mg, Cu-Al-Mg-Ni, Al-Si-Mg, Al-Si-Mg, Cu-Al-Mg-Zn, Fe-Cr-Ni, Fe-Cr-Moの組み合わせが用いられ、特にCu-Mg, Cu-Al-Mg, Fe-Cr-Niが好ましい。

【0029】この時、例えばAl-Mgは、AlとMgとの反応、AlMg合金とMgの反応、AlとAlMg合金との反応、互いに組成比の異なるAlMg合金同士の反応の4つを意味する。

【0030】同じく、例えば、Cu-Al-MgはCuとAlMg合金との反応、CuAlとMg合金の反応、CuMg合金とAlとの反応、CuとCuAlMg合金との反応、AlとCuAlMg合金との反応、MgとCuAlMg合金との反応、CuAl合金とCuMg合金との反応、CuAl合金とAlMg合金との反応、CuMg合金とAlMg合金との反応、互いに組成比の異なるCuAlMg合金同士の反応など、最終的に反応層がCuAlMgとなる合金化反応を意味する。

【0031】つまり、この場合、反応前駆層としては、Al, Mg, Zr, Cu, Zn, Mn, Fe, Cr, Ni, Mo, から選択される少なくとも1種の金属又はこれらのうち少なくとも1種を含む金属である。

【0032】また、金属と半導体を反応させる場合は、金属として、Ni, Co, Cr, Fe, Mo, Nb, Pt, Rh, Ta, Ti, V, W, Zr等又はこれらのう

12

ち少なくとも1つを含む合金が用いられ、半導体として、アモルファスSi, 微結晶Si, 多結晶Si, 単結晶Si, エピタキシャル単結晶Si, アモルファスGe, 微結晶Ge, 多結晶Ge, 単結晶Geが用いられる。そして特に、Ni-アモルファスSi, Pt-アモルファスSi, Ta-アモルファスSi等の組み合わせが望ましい。

【0033】また、金属と金属半導体化合物の場合は、金属として、Ni, Co, Cr, Fe, Mo, Nb, Pt, Rh, Ta, Ti, V, W, Zr等又はこれらのうち少なくとも1つを含む合金が用いられ、金属半導体化合物として化学量論的に不完全な組成を持つ金属とシリコンの化合物(シリサイド)が好ましく用いられる。そして特に、Ni-(NiSi), Ni-(TaSi), Ni-(CoSi), Pt-(NiSi), Pt-(TiSi)等の組み合わせが望ましい。

【0034】また、半導体と金属半導体化合物を反応させる場合は、半導体として、アモルファスSi, 多結晶Si, 単結晶Si, エピタキシャル単結晶Si, Geが用いられ、金属半導体化合物としてはNiSi, TaSi, CoSi, FeSi, 等のうち化学量論的に不完全な組成を持つものであり、Si-(NiSi), Si-(TaSi), Si-(CoSi), Si-(TiSi)等の組み合わせで用いられる望ましい。

【0035】また、本発明の反応抑止層は、反応層及びその原料となる材料と反応しない導電性の材料であって、金属(もちろん、合金を含む)、半導体、金属化合物であるものが用いられる。また、反応する可能性のある材料の組み合わせであっても、貼り合わせ時と貼り合われ以降のプロセスにおけるプロセス温度、時間において、反応の進行が無視できる程度であれば、使用することが可能であることは言うまでもない。

【0036】反応抑止層となりうる金属又は金属化合物を構成する元素としては、例えば、Ru, Ir, Ag, Os, Tl, Cu, Bi, Pb, Sn, Mo, In, Zn等が用いられ、特に、Ru, Ir, Ag, Cu, Moが好ましい。その中でもRu, Irはその酸化物が導電性である為、プロセスマージンが広くなるので、より好ましい。

【0037】また、反応抑止層となりうる半導体としては、多結晶Si, 単結晶Si, エピタキシャル単結晶Siが用いられ、特に多結晶Si, 単結晶Siが好ましい。

【0038】また、反応抑止層となりうる別の金属化合物としては、TaN, TaSiN, TiN, TiNSi, WN, WSiN等が用いられ、特に、TaN, TiN, WNが望ましい。

【0039】Mo等は、本発明の反応前駆層及び反応抑止層のいずれにも適用できる。例えばMoは525°C以上でMoSi<sub>2</sub>のようなシリサイドを形成する為、例え

ば450°C程度で貼り合わせ以降のプロセスが行われる場合には、Moは反応停止層として機能する。例えば、PtとSiとのシリサイド反応(約200°C)の場合にはMoを反応停止層として使用できる。同様にMoは、Mg-Si, Co-Si, Ni-Si, Pd-Si等のシリサイド反応の場合に反応停止層として利用できる。また、Siは、非シリサイド化反応、特に400°C以下の合金反応を貼り合わせに利用する場合に反応抑止層として利用できる。

【0040】つまり、反応前駆層より反応性の弱い材料であれば、反応抑止層なりうる。本発明に用いられる絶縁層としては、酸化シリコン、窒化シリコン、酸化アルミニウム、窒化アルミニウム、有機膜等から選択される少なくとも1種が挙げられる。

【0041】本発明において、デバイスが作製される半導体層には、非孔質の単結晶Siが通常用いられるが、これに限らず、例えば、Ge、ダイヤモンド、さらにはGaAs等の化合物半導体が用いられる。

【0042】さらに、本発明の第1及び第2の部材としては、Si結晶の他、Ge結晶、サファイア結晶、石英、ガラス、金属(結晶)板、セラミック板、プラスチックフィルムも用いられる。特に第1の部材として多孔質層を有するSiウェハを用いるとよい。

【0043】又、第2の部材としてSiウェハを用いると現在の各種半導体製造装置との適合性がよくなり、膜はがれも抑えられる。又、第2の部材の表面に金属を設けてもよい。

【0044】本発明に用いられる反応抑止層はスッパタリング等のPVDやプラズマCVD等のCVDなどにより形成され、その厚さは1nm～10μmが好ましく、より好ましくは10nm～2μmである。そして、第1の反応抑止層としては10nm～10μmが好ましく、より好ましくは0.1～2μmであり、第2の反応抑止層としては1nm～10μmが好ましく、より好ましくは10nm～1μmである。

【0045】本発明に用いられる反応前駆層もスッパタリング等のPVDやプラズマCVD等のCVDなどにより形成され、その厚さは1nm～1μmより好ましくは1.5nm～200nmである。反応層としては2nm～2μmより好ましくは3.5nm～450nmである。本発明においては、反応前駆層の全てを反応層に変化させる必要はない。

【0046】本発明の半導体基板は、少なくとも表面が半導体からなる基材(支持部材)と、導電性材料層と、絶縁層と、半導体層とが順に形成されてなる半導体基板である。

【0047】ここで、反応層と反応停止層をいずれも導電性材料層とすればよい、反応層は、例えば2つの基板を貼り合わせる際に、表面に形成された金属と金属、金属と半導体、金属と金属半導体化合物又は半導体と金属

半導体化合物を反応させることによって形成される。また、反応停止層は、少なくとも反応層と絶縁層の間に設けられるが、反応層の両側に設けるのが好ましい。

【0048】次に、本発明のより好ましい実施形態について説明する。従来の単純なSOI基板を用いた時には実現し得ない、動作周波数10GHzの超高速・超高密度GSI(ギガ・スケール・インテグレーション)が可能となる。従来の単純なSOI基板をスターティング・マテリアルにして、集積回路を作製しても動作周波数が10GHzクラスの超高速・超高密度GSIを実現することは極めて難しい。動作周波数10GHzの超高速・超高密度GSI実現のためには、高品質なSOI層の形成に加えて、これまで問題にはならなかつた配線を伝搬する信号の表皮効果、クロストークおよび動作中に発生する熱の問題を解決しなければならないからである。

【0049】まず、配線を伝搬する信号の表皮効果については、1GHz以上の超高速動作LSIを可能にする場合、信号が伝達する配線は、これまでのシリコン基板上に設けることに代えて、低抵抗金属上に絶縁膜を介して設けなければならない。なぜなら、従来通りの半導体基板上に絶縁膜を介して金属配線を形成する構造では、原理的に高速の信号波形の減衰が避けられず、基板がシリコンであると、著しい波形の崩れが生じるからである。

【0050】この問題を解決するには、基板の抵抗率を100Ω·cm以上の高抵抗にして基板中を電流が流れのを防止するか、あるいは基板を低抵抗金属にして基板内に電流が流れてもエネルギー損失が無いようにするしかない。しかし、シリコン基板の抵抗率を極度に高くする方法では、隣接配線への結合容量が大きくなつて隣接配線間の信号電圧リークが大きくなり、クロストークによる誤動作が極度に大きくなつてしまつ。したがつて、この困難を克服する手段は、電気的な関係における配線とグラウンドの間からシリコン基板を排除した金属基板構造にすることである。基板裏面の金属がむき出しになる上記の基板構造を避けるには、基板裏面は従来通りシリコンにして、絶縁層に直接接触する部分を信号伝播に伴い発生する電磁波のスキンディープス(表皮深さ) $\delta$ よりも厚い、導電率の大きい金属もしくはシリサイドのような金属化合物にする。具体的には、特定のデバイスに対し、良好な信号伝搬に必要とされる最高周波数成分に対応する電磁波のスキンディープスを最小膜厚として設定する。また、絶縁層に直接接触する部分に金属を用いずにシリコン層を用いる場合、このシリコン層の厚さは配線を伝搬するパルス電圧信号の第十次高調波のスキンディープス $\delta$ より十分薄くし、かつそのシリコン層直下の金属またはシリサイドなどの導電性材料の厚さを基本波の表皮深さ $\delta$ より十分厚くしなければならない。できるだけ、導電性材料の絶縁膜と接触する最表面層において電磁波を遮蔽することが望ましいが、前述のようにその構造に

留意することで、自由度の高い設計が可能となる。いずれにしても、配線を伝搬する信号の表皮効果を考慮してSOI基板をデザインすることによって、従来技術では克服できなかった配線伝搬信号の減衰の問題が解決される。

【0051】クロストーク問題については、電子回路の集積度が高くなり、隣接する配線間の距離が近くなってくると非常に問題になってくる。集積度を高くするために配線間距離を小さくしてゆくことは、クロストークを抑える方向と相反することになる。そこで、配線材料にはマイグレーション耐性が高く、大電流密度が可能なCuを用い、配線断面を平坦構造にすることが望ましい。さらに、配線直下の絶縁層にはSi<sub>3</sub>N<sub>4</sub>やAlNのような高誘電率薄膜を用い、配線間の絶縁膜にはプラスチックのような低誘電率材料を用いることによって、集積度とクロストークの問題がより一層解決し易くなる。

【0052】なお、クロストーク抑制のための配線直下絶縁膜の高誘電率化は、ドライブ・トランジスタにとっては負荷容量の増大となり高速性を阻害するものであるが、この問題に対してMOSトランジスタのゲート長の微細化、あるいはゲート絶縁膜の高誘電率化による電流駆動能力向上によって対処できる。このクロストークの問題についても対接地間容量などを考慮して埋め込み絶縁膜などSOI基板をデザインすることによって、従来技術では克服できなかった高集積化とクロストークの問題が解決できる。

【0053】現在CMOSのゲート電極は、高濃度ドープドシリコンが用いられているが、これにpMOS、nMOS共に同一の金属を使用することで、配線抵抗の低減化を図り、さらにCMOS製造工程数を劇的に減らすことが可能となる。ところが、pMOS、nMOS共に同一の金属を使用することにより、本来それぞれ-V<sub>T</sub><sub>H</sub>、V<sub>T</sub><sub>H</sub>となるべき閾値が、シリコンおよびゲート電極金属の仕事関数差/ゲート電極およびゲート絶縁膜、ゲート絶縁膜およびチャネル界面の界面電荷などの影響(ΔV<sub>T</sub><sub>H</sub>)により、それぞれ-V<sub>T</sub><sub>H</sub>+ΔV<sub>T</sub><sub>H</sub>、V<sub>T</sub><sub>H</sub>+ΔV<sub>T</sub><sub>H</sub>と同一電位方向にシフトする現象が生じる。

【0054】本発明は、この問題に対しても2つの対策を提供する。まず、絶縁膜直下に任意の仕事関数を持つ導電体を埋め込む方法である。具体的には、ΔV<sub>T</sub><sub>H</sub>>0の場合、仕事関数がノンドープシリコンより小さい導電体(n-Si、n<sup>+</sup>-Si、Ru、Ni、Co等)、ΔV<sub>T</sub><sub>H</sub><0の場合、仕事関数がノンドープシリコンより大きい導電体(p-Si、p<sup>+</sup>-Si、Nb、V、Ti、Zn、Al等)を用いる。これらの導電体を用いることで、接地された下部金属層と本導電体層間に生じるビルトインポテンシャルにより絶縁膜を介しバイアスし、ΔV<sub>T</sub><sub>H</sub>の影響をキャンセルすることができる。この導電体としては、反応停止層自体を用いてもよいし、また、絶縁膜と反応停止層の間に、別個に設けた導電体を利用し

てもよい。

【0055】もう一つは、埋込み金属層を電源供給ラインとして用いる方法である。ΔV<sub>T</sub><sub>H</sub>>0の場合、nMOSのソースを埋込み金属層と接続し、-V<sub>DD</sub>(V<sub>DD</sub>>0)を埋込み金属層に印加する一方で、金属配線の一部にアースラインを設定し、pMOSのソースと接続する。このような電源構成をとることにより、絶縁膜を介してチャネル部シリコンの電位を引き下げΔV<sub>T</sub><sub>H</sub>の影響をキャンセルすることができる。ΔV<sub>T</sub><sub>H</sub><0の場合は、pMOSのソースを埋込み金属層と接続し、V<sub>DD</sub>(V<sub>DD</sub>>0)を埋込み金属層に印加、金属配線の一部にアースラインを設定し、nMOSのソースと接続する。いずれの方法を用いても、理想的な動作特性を持つCMOS回路を構成することができる。超高速動作を実現する為には、埋め込み金属層を接地した方が好ましい為、前者の対策がより好ましい方法である。

【0056】回路動作に伴う発熱は集積回路の高速化・高集積化に際し、最大の問題となる。なぜなら、CMOSと言えどもクロック周波数に比例して消費電力すなわち発熱量が増大し、集積度の向上はさらに単位面積当たりの発熱量を増大させる結果となるからである。超高速デバイスにおいて、CMOSよりむしろ優位になると考えられるCML(Current Mode Logic)においても、やはり同様に発熱の問題を避けることはできない。発熱による超高集積回路の温度上昇は、特にその動作信頼性を左右する。第一に、温度上昇による熱雑音レベルの上昇は、S/Nを低下させ、回路の誤動作を引き起こす。第二に、配線寿命に関して一般に配線寿命τがModified Blackの式 $\tau = (E_0 / \rho J^2) \times \exp(-q Ea / kT)$ で表わされるため、温度が高くなるほど指數関数に従って配線寿命は短くなる。

【0057】つまり、高速化と高集積化を向上させながら、かつ温度上昇を抑えることは、集積回路の高性能化と高信頼性を両立するための必須条件であり、放熱効率の高いデバイス構造・材料を選定し、熱を有効に外に逃がしていくことが唯一の手段である。そのためには、第一に埋め込み絶縁膜を従来のSiO<sub>2</sub>(熱伝導率: 0.015 [W/cm·K])の単層絶縁層からSi<sub>3</sub>N<sub>4</sub>(熱伝導率: 9~30 [W/cm·K])やAlN(熱伝導率: 2.5 [W/cm·K])を用いた多層膜構造を採用する必要がある。SiO<sub>2</sub>が他の材料と比較して、圧倒的に熱伝導性が悪いためである。また、上記の熱伝導性の高い材料Si<sub>3</sub>N<sub>4</sub>は、従来のSiO<sub>2</sub>と異なり金属の拡散障壁(Diffusion Barrier)としての働きをも有し、熱処理時におけるハンドルウェハからの金属拡散を抑制することができる。この発熱の問題についても材料の熱伝導度などを考慮してSOI基板をデザインすることによって、従来技術では克服できなかった高速化・高集積化と発熱の問題が解決できる。

【0058】一般に、金属と半導体との接着又は接合の

場合にせよ、金属と金属の接着又は接合の場合にせよ、半導体と半導体の接着又は接合の場合にせよ、接合界面にボイドを一切作らせず、強固に貼り合わせることは非常に難しい。その理由は、金属表面あるいは半導体に不純物が高濃度に添加された表面等、非常に酸化されやすい材料の表面を接合界面にして貼り合わせる場合、接合界面において界面反応の妨げになるような酸化膜などが、どうしても形成されてしまうからである。この酸化膜の存在は、貼り合わせ界面でのボイドの発生、あるいは貼り合わせ時の熱処理工程の高温化を招くばかりか、この高温工程によりシリコン層の品質を劣化させる恐れがある。

【0059】したがって、高品質のSOI基板作製において、デバイスウェハ（プライムウェハ）とハンドルウェハの貼り合わせ界面となるウェハ表面に水分やシロキサン、ハイドロカーボンの付着、およびメタル表面の酸化膜の成長を抑えることは必要不可欠なのである。この問題に対する解答として2つの方法が提案されている。第一の方法はデバイスウェハとハンドルウェハとも各プロセスチャンバ間を水分を極力（数ppb以下）抑えたN<sub>2</sub>、N<sub>2</sub>/O<sub>2</sub>雰囲気で搬送することで、大気に一切曝されることなく連続して成膜、貼り合わせをする方法である。この方法を採用すれば、特にシリサイド反応を\*

\*貼り合わせの手法に用いる場合において、反応S層にアモルファスシリコンを用いることが可能となり、貼り合わせ反応の低温化・高速化を行うことが可能となる。

【0060】第二の方法は、SOI基板形成工程において、デバイスウェハあるいはハンドルウェハをどうしてもクリーンルームの空気に曝さなければならない時、貼り合わせ界面となる少なくとも一方のウェハ表面が、シリコンの場合は少なくとも表面は酸化されにくいnon-dopeシリコンにし、メタルの場合はPt、Pd、Niのような酸化されにくい貴金属や金属、あるいは表面が酸化されてもその酸化膜がH<sub>2</sub>で容易に還元されるものにする方法である。つまり、シリコンあるいは金属を成膜後、一度クリーンルームの空気に曝されたデバイスウェハとハンドルウェハを貼り合わせチャンバに入れてから、300～500℃の水素ラジカル処理による強還元性雰囲気の下で酸化膜を除去し、自然酸化膜などがない高清浄な表面にしてからデバイスウェハとハンドルウェハを貼り合わせをするのである。

【0061】表1に、酸素で規格化された25℃および500℃における各種金属酸化物の生成自由エネルギー(ΔG)を示す。

#### 【0062】

#### 【表1】

酸化物	[kJ/mol O <sub>2</sub> ]	酸化物	[kJ/mol O <sub>2</sub> ]	酸化物	[kJ/mol O <sub>2</sub> ]
Ag <sub>2</sub> O	40.6	HfO <sub>2</sub>	-998.5	SnO <sub>2</sub>	-422.8
Al <sub>2</sub> O <sub>3</sub>	-955.3	In <sub>2</sub> O <sub>3</sub>	-452.6	SrO	-1028.5
BaO	-960.8	Li <sub>2</sub> O	-1005.7	Ta <sub>2</sub> O <sub>5</sub>	-678.4
BeO	-1068.5	MgO	-1036.0	Ti <sub>2</sub> O <sub>3</sub>	-1514.3
Bi <sub>2</sub> O <sub>3</sub>	-243.4	MnO	-654.6	Tl <sub>2</sub> O	-195.7
CdO	-362.3	MoO <sub>3</sub>	-443.9	VO	-720.6
CoO	-352.8	NdO	-675.3	W <sub>2</sub> O <sub>3</sub>	-444.9
Cr <sub>2</sub> O <sub>3</sub>	-618.6	OsO <sub>4</sub>	-86.6	Y <sub>2</sub> O <sub>3</sub>	-1074.2
Cu <sub>2</sub> O	-220.8	PbO	-282.8	ZnO	-541.1
Fe <sub>3</sub> O <sub>4</sub>	-425.2	Sc <sub>2</sub> O <sub>3</sub>	-1117.9	ZrO <sub>2</sub>	-950.8
Ga <sub>2</sub> O <sub>3</sub>	-569.0	SiO <sub>2</sub>	-770.1		

【0063】また、雰囲気の生成自由エネルギーは、H<sub>2</sub>+O<sub>2</sub>=H<sub>2</sub>O平衡の系において $\Delta G = \Delta G_{H_2O} + 2RT$

1n (P<sub>H2</sub>/P<sub>H2O</sub>) で与えられる。水素ラジカル処理50で還元される金属酸化物は、酸化物の生成自由エネルギー

が雰囲気の持つ自由エネルギーより大きい生成自由エネルギーをもつ金属酸化物である。表面に生成した酸化膜がH<sub>2</sub>で容易に還元される金属は、処理に用いる雰囲気の条件に対して選定しなければならない。例えば、500℃において100%水素中に10ppbの不純物水分を含有する系(雰囲気の生成自由エネルギー: 646.1kJ/molO<sub>2</sub>)で還元処理を行う場合、還元可能性のあるものはAg, Os, Ru, Ti, Cu, Bi, Pb, Ni, Co, Sn, Fe, Mo, W, In, Zn, Ga, Crに限られる。したがって、金属材料は、ガス分圧、プロセス温度、活性化エネルギーといった表面処理の条件をもとに選択することが必要となる。

【0064】さらに熱排出特性の面から貼り合わせ界面付近に存在する各種金属、金属化合物層は、上部絶縁膜と同様により高い熱伝導率をもつことが望ましい。また、高温プロセスにおける昇温冷却工程に伴い発生するストレスを回避するには、その膨張率がSi(線膨張率: 9.6×10<sup>6</sup>K<sup>-1</sup>)により近いことが要求される。

【0065】表2は、各種シリサイドにおける反応前後の膜厚変化率(1シリサイドの膜厚/Siおよび金属の初期膜厚の和)を示したものである。

#### 【0066】

【表2】

シリサイド	膜厚変化率[%]	シリサイド	膜厚変化率[%]
CoSi	28.32	RhSi	22.36
CoSi <sub>2</sub>	24.33	TaSi <sub>2</sub>	23.22
CrSi <sub>2</sub>	29.71	Ti <sub>5</sub> Si <sub>3</sub>	15.72
FeSi <sub>2</sub>	20.93	TiSi	20.16
MoSi <sub>2</sub>	27.22	TiSi <sub>2</sub>	23.01
NbSi <sub>2</sub>	19.36	VSi <sub>2</sub>	29.91
Ni <sub>2</sub> Si	20.29	WSi <sub>2</sub>	22.85
NiSi <sub>2</sub>	23.02	ZrSi <sub>2</sub>	19.55
PtSi	14.99		

【0067】貼り合わせ反応に伴う体積変化は蓄積性のストレスの原因となるため、反応前後の体積変化が少ないもの程よい。さらに電磁波を遮蔽するための金属、金属化合物層は、その比抵抗が低いものを選択することで

より薄膜化することが可能であり、ストレス回避、緩和さらには本金属、金属化合物層を電源供給ライン又はアースラインのような基準電圧ラインとして用いる場合の電気伝導などに対して膜厚の最適化を行う場合の自由度を高めることができる。本発明では、絶縁膜直下に不活性な電磁波遮蔽金属層を設ける構造を探ることにより、より良好な排熱特性を得ることが可能で、さらに延性の高い金属層が存在することから、熱プロセスにおいて上部絶縁層で発生するストレスおよび貼り合わせ時に生じる反応層でのストレスの緩和が効果的に行える。

【0068】また、反応停止層があるために、200~400℃といった極めて低い反応温度を持つ反応種を用いることが可能となり、これらの反応種を500~700℃といった温度で貼り合わせることにより、反応がファイナルフェーズへと高速に進行し、プロセス時間が短くかつ非常に強固で安定な貼り合わせを実現することが可能となる。例えば、Niは、200~750℃の温度域でニッケルシリサイドになるため、500℃程度の貼り合わせ温度においても急速かつ強固な貼り合わせを行うことが可能である。

【0069】これら貼り合わせの問題についても貼り合わせ面での界面反応などを考慮してSOI基板作製プロセスをデザインすることによって、従来技術では克服できなかった高品質化、低コスト化を達成できる。SOI基板の高品質化と製造の歩留まりすなわち製造コストの問題が解決される。

#### 【0070】

##### 【実施例】

(実施例1) 図2を用いて本発明の実施例の詳細を説明する。まず、200μmの厚みを持ち、1×10<sup>18</sup>cm<sup>-3</sup>ボロンが添加された面方位(100)のP型単結晶シリコン基板100を用意し(a)、この表面をHF/H<sub>2</sub>O/IPA(20~30wt%HF, 10~30wt%IPA)溶液中で対向電極にp+型Si層を用いて陽極化成することにより、孔径数nm~10nm程度、孔のピッチ10nm~数十nmの多孔質シリコン層101を10~20μmの深さ形成する(b)。IPAを添加することにより、溶液の表面張力は低下し、濡れ性が向上するため数nm~10nm程度の孔が10~20nm程度の深さ形成ができる。

【0071】その後、300~400℃程度の比較的低い温度でドライ酸化もしくはスチーム酸化により1~2原子層程度のシリコン酸化膜を多孔質シリコンの孔の壁表面に形成する(c)。0.1~1%程度の濃度の希フッ酸により表面をエッティングする。希フッ酸の表面張力は70dyn/cm以上と高くし、シリコン表面の濡れ性も悪いため、希フッ酸は多孔質シリコン層の孔内には侵入せず、多孔質シリコンのごく表面近傍だけのシリコン酸化膜がエッティングされる。

【0072】こうした表面近傍の酸化膜が除去された多

孔質シリコン層を図3に示すようなクラスタツールにローディングする。本プロセスでは、以下の成膜工程、熱処理工程、貼り合わせ工程などのプロセスをすべてクラスタツールで行った。本クラスタツールの特徴は、各プロセスチャンバ間をN<sub>2</sub>トンネルで接続することにより、基板上に半導体、金属、絶縁体を大気に一切曝すことなく、高清浄な雰囲気下で連続的に薄膜形成ができることがある。

【0073】ローディング後、水素雰囲気下で1000～1100℃の熱処理をすると、内部に多孔質シリコン層を残して表面だけ平坦な非多孔質の単結晶シリコン層が得られる(d)。H<sub>2</sub>中に、SiH<sub>2</sub>C<sub>12</sub>やSiHC<sub>13</sub>を1～100ppm程度含めると、表面の非多孔質の単結晶シリコン層の平坦度は一層向上する。

【0074】次に、最表面が非多孔質した多孔質シリコン層101上にSiH<sub>2</sub>C<sub>12</sub>を用いて1000～1100℃、あるいはSiH<sub>4</sub>を原料ガスにして900～1000℃で単結晶シリコン層102を0.5～2μm程度成長する(e)。数10Torr程度の減圧状態で成長すれば、成長温度は800～850℃まで低温化できる。

【0075】次に、スチーム酸化によりエピ成長シリコン表面を5nm～1μm程度酸化し、酸化膜103を生成する(f)。これは、2H<sub>2</sub>+(1/2)O<sub>2</sub>ガスを内面をPt/TiNコートしたリアクタ内に導入し、酸素を完全に反応させ生成したH<sub>2</sub>+H<sub>2</sub>O雰囲気において、300～400℃で行う。

【0076】この上に、プラズマCVDにより窒化シリコン絶縁膜104を0.02～1.5μm程度形成し(g)、連続してRu薄膜105を2周波励起プラズマプロセス装置で0.1～2μm程度スパッタリングにより成膜(h)、さらに抵抗率が例えば0.01～10kΩ·cm程度の不純物を極めて低濃度(1×10<sup>12</sup>～1×10<sup>15</sup>cm<sup>-3</sup>)に含むアモルファスシリコン層106を厚さ約2～200nm程度二周波励起プラズマプロセス装置を用いて堆積し(i)、この基板をデバイスウェハ107とした。

【0077】図4に、二周波励起プラズマプロセス装置の概略図を示す。本装置は、チャンバ300の内部にターゲット301とそれと平行におかれた試料取り付け部を有し、ガス導入口302と真空排気系303が設かれている。また、RF電源304は、ターゲット301に加えて試料305にもマッチング回路306を介して結合されているため、SiO<sub>2</sub>のような絶縁膜を堆積する場合や絶縁物基板上への堆積においても、試料305のバイアスを制御することができる。また、電極を囲むようにシールド307を設け、外部からバイアスをかけることでシールドの電位が制御可能となっている。真空排気系303は、オイルフリーの磁気浮上型ターボ分子ポンプとドライポンプで構成され、チャンバ300の到

達真空度は10<sup>-10</sup>Torr台の超高真空を達成している。超高純度ガスはガス導入口302から供給される。

【0078】本装置により、窒化シリコンのような絶縁膜物質上へも高品質なRu薄膜やアモルファスシリコンを目的や条件に応じて層の厚さも自由に選択し、形成することができる。

【0079】また、均一磁場DRM(Dipole Ring Magnet)多極励起方式を用いると、同様に堆積薄膜の高品質化が図れることに加え、大面積化が可能な高均一性を得ることができる。また、周波数が2～20GHz程度のマイクロ波を用いたRLSA(Radial Line Slot Antenna)励起方式では、プラズマ照射エネルギーが低く、かつ1×10<sup>12</sup>cm<sup>-3</sup>程度の高均一高密度プラズマを生成することが可能であり、同様に高品質堆積薄膜を得ることが可能である。

【0080】次に、p+型単結晶シリコン基体100とは異なる別のSi基板108を用意し(j)、この上にRu薄膜109を0.01～1μm程度成膜し(k)、連続してNi薄膜110を1.5～150nm程度形成し(l)、この基板をハンドルウェハ111とした。

【0081】デバイスウェハ107のアモルファスシリコン層106とハンドルウェハ111のNi層110とが貼り合わせ界面になるように、両者を接触させて貼り合わせ、熱処理を行った。

【0082】図5にデバイスウェハ107とハンドルウェハ111との貼り合わせ装置を示す。完全平坦ステージ400、リング状多段静電チャック401の温度を200～400℃に保つことで、表面の吸着水分、ハイドロカーボン等を常になくしておく。もちろん、クラスタツール内の他のチャンバから搬送されてくるデバイスウェハ105、およびハンドルウェハ106表面の水分、ハイドロカーボン、シロキサンの吸着は全くない。Ar, N<sub>2</sub>等の超クリーンガスを用いて1×10<sup>-5</sup>～10Torr程度の減圧雰囲気下で、まずウェハ中央を圧接する。すなわち、静電チャック401にハンドルウェハ111を保持することによってハンドルウェハ111を静電チャック401の形状に沿って反らせ、ステージ部400の稼動により両ウェハを正確に位置合わせする。そして、リング状多段静電チャック401の吸引電圧を中央から周辺に向かって次第に弱くすることで、中央から周辺に向かってウェハを貼り合わせていく。この時は、シリサイド反応が起こらないような低い温度にしておく。

【0083】なお、上記に示したように、デバイスウェハ107とハンドルウェハ111の貼り合わせによるSOI基体の形成において、酸化膜の存在しない超高清浄な接合界面を安定して実現するために上記クラスタツールでのプロセスを行った。したがって、貼り合わせ界面となるデバイスウェハ107のシリコン表面、およびハンドルウェハ111のメタル表面に、水分やシロキサ

ン、ハイドロカーボンの付着は全く無い。また、メタル表面の酸化膜の成長がないようにするために、デバイスウェハ107についてはにアモルファスシリコン106を成膜後、ハンドルウェハ111についてはN<sub>i</sub>層110を成膜後、一切大気に曝すことなくN<sub>2</sub>もしくはN<sub>2</sub>/O<sub>2</sub>雰囲気下で搬送し、連続してデバイスウェハ107とハンドルウェハ111とを貼り合わせ、貼り合わせ界面に自然酸化膜などが全く存在しない超高清淨表面での接着を行った。

【0084】上記熱処理は、Ar雰囲気中、処理温度500°Cに設定し、実処理ガスによる熱処理時間は1時間である。本熱処理によるシリサイド反応によりアモルファスシリコン106はすべてシリサイド層112になり両ウェハが接着し、貼り合わせウェハ113が出来上がる(m)。

【0085】次に、デバイスウェハ側p<sup>+</sup>基板100を多孔質層101近傍まで、グラインダー等で研削し(n)、最後に上記貼り合わせ基体113を選択エッチング溶液中に浸し、多孔質部分(多孔質シリコン基体)101のみをHF/HNO<sub>3</sub>/CH<sub>3</sub>COOH/H<sub>2</sub>O溶液等で選択的エッチングし、さらにPACE(Plasma Assisted Chemical Etching)等による表面平坦化を行いSOI基板114が完成する(o)。

【0086】SIMSによるデプスプロファイル観察の結果、本実施例では従来の金属基板SOIウェハの貼り合わせ反応界面では実現し得なかった急峻なプロファイルが得られており、各機能層(電磁波遮蔽層、貼り合わせ反応層)の膜厚を完全に制御することが可能となり、300mmウェハのような大口径ウェハにおいてCMOS制作工程と同等の熱工程履歴を経てもウェハの反りはスターティングウェハと同等であり、膜の剥離といった現象も見られないことが確認できた。

【0087】次に、図6に示すように、この金属基板SOIウェハ上に、MOSトランジスタを試作した。まず、SiO<sub>2</sub>の絶縁膜を形成し、続いてTaを0.5μm形成した後、ゲート電極のパターニング、ソース・ドレインのパターニングを行い、イオン注入によりソース・ドレイン層を形成した。なお、本実施例では、イオン注入によるソース・ドレイン領域の形成に際しTaゲートをマスクとし、自己整合的に行った。イオン注入層のアニールは、450°Cの低温で行った。また、イオン注入装置は、到達真空度10<sup>-10</sup>Torrであり、イオンビームによるチャンバ金属のスピッタリングによる汚染が十分低くなるように設計されたウルトラクリーン化イオン注入装置を用いた。n型MOSトランジスタのソース503が直下の反応抑制層(Ru層)501と接続され、またp型MOSトランジスタのソース502が直上のメタル(Cu)配線504と接続された、CMOS構成のインバータ回路を試作した。Ruの反応抑制層付き基板は接地されており、また、Cu配線504は、電源

電圧と接続されている。今回、このCu配線504の面積は、チップ面積の2/3とした。

【0088】図7は常温での金属基板上に絶縁膜を介して設けられた配線上を伝搬するパルス波形の劣化を示す。シリコン基板で発生する信号波形の減衰は、金属基板を用いるとほとんど起ららない。つまり、金属配線を絶縁膜を介して金属基板に設けることにより、信号の伝搬方向に向いた電界成分が無くなり、伝搬方向に垂直な成分のみとなり波形の減衰が回避される。また、図8にn型MOS/p型MOSトランジスタそれぞれのサブスレッショルド特性を示す。これより、ΔV<sub>Th</sub>=-0.2[V]の電圧シフトが生じており、良好なCMOSインバータの動作を妨げていることがわかる。したがって、上記インバータと全く同様の工程を経て、p型MOSのソースを埋め込み金属層と接続し埋め込み金属層を1[V]に印加した、埋め込み金属層を電源供給ラインとした素子を作製した。この素子のサブスレッショルド特性を図9に示す。このような電源構成をとることで、ΔV<sub>Th</sub>がキャンセルされている。本発明のSOIウェハを用いることにより、ΔV<sub>Th</sub>の変化にも対応したCMOSインバータを開発することに成功した。

【0089】一方、すべてのプロセスが終了したウェハをエッチングし、埋め込み金属層を露出させた後、そのシート抵抗を測定した結果を図10に示す。比較のために本実施例におけるRuをすべてN<sub>i</sub>におきかえて作製した場合のシート抵抗を併記している。本実施例の場合、貼り合わせ直後のシート抵抗と、すべてのプロセス終了後のシート抵抗が変化していないが、後者では、著しいシート抵抗変化が観測される。計算によると、貼り合わせ直後存在したN<sub>i</sub>のうち、48%が貼り合わせ後の各プロセスによりシリサイド化しており、スキンデプスに対して最適化した埋め込み金属層膜厚が変化し、電磁界遮蔽の効果が失われている。本実施例の適用により、よりプロセスマージンの広い金属基板SOIデバイスの作製が可能となった。

【0090】また本実施例において、平坦半導体層としてシリコンを用いたが、他の半導体、例えば、Geやダイヤモンド、GaAsなどを用いても本実施例と同じ結果が得られる。

【0091】また本実施例において、反応停止層の材料としてRuを用いたが、上記のようなプロセスに従うのであれば、Ru以外の高融点金属、高融点金属を含む合金、半導体、およびそれらの化合物であっても、本実施例と同じ結果が得られる。

【0092】また本実施例において、貼り合わせにはN<sub>i</sub>のような金属とシリコンの反応、すなわちシリサイド反応を用いたが、その他の反応である金属合金反応を用いても、本実施例と同じ結果が得られる。

【0093】また本実施例において、シリサイドにはN<sub>i</sub>とシリコンの化合物、すなわちニッケルシリサイドを

用いたが、その他の金属を含むシリサイドを用いても、本実施例と同じ結果が得られる。

【0094】また本実施例において、デバイスウェハとハンドルウェハとの貼り合わせ工程は、デバイスウェハ表面に形成したシリコン堆積膜をハンドルウェハの表面金属層に密着させ熱工程を行ったが、デバイスウェハ表面に形成した金属堆積膜をハンドルウェハのシリコン表面に密着させ熱工程を行っても、本実施例と同じ結果が得られる。

【0095】また本実施例において、貼り合わせ後の熱処理はAr雰囲気中で行ったが、Ar以外の不活性ガス、すなわちN<sub>2</sub>、Heであっても、本実施例と同じ結果が得られる。

【0096】また、本実施例においては、デバイスウェハを研磨により除去する工程を行ったが、多孔質シリコン層内もしくは近傍で基板を剥離するプロセスを用いて除去を行うことで、本実施例と同じ結果が得られる。

【0097】また、本実施例においては、多孔質エッチング後の平坦化をP A C Eにより行ったが、その他の平坦化技術を用いることで本実施例と同じ結果が得られる。

【0098】また、本実施例においては、電源構成を変えることでΔV<sub>TB</sub>の補正を行ったが、仕事関数の異なる導電層の埋め込みによる補正を行うことで本実施例と同じ結果が得られる。

【0099】(実施例2) 図11を用いて本発明の実施例の詳細を説明する。まず、200μmの厚みを持ち、1×10<sup>18</sup>c m<sup>-3</sup>ボロンが添加された面方位(100)のP型単結晶シリコン基板100を用意し(a)、この表面をHF/H<sub>2</sub>O/IPA(20~30wt%HF, 10~30wt%IPA)溶液中で対向電極にp+型Si層を用いて陽極化成することにより、孔径数nm~10nm程度、孔のピッチ10nm~数十nmの多孔質シリコン層101を10~20μmの深さ形成する

(b)。IPAを添加することにより、溶液の表面張力は低下し、濡れ性が向上するため数nm~10nm程度の孔が10~20nm程度の深さ形成ができる。

【0100】その後、300~400℃程度の比較的低い温度でドライ酸化もしくはスチーム酸化により1~2原子層程度のシリコン酸化膜を多孔質シリコンの孔の壁表面に形成する(c)。0.1~1%程度の濃度の希フッ酸により表面をエッチングする。希フッ酸の表面張力は70dyn/cm以上と高くし、シリコン表面の濡れ性も悪いため、希フッ酸は多孔質シリコン層の孔内には侵入せず、多孔質シリコン層のごく表面近傍だけのシリコン酸化膜がエッチングされる。

【0101】こうした表面近傍の酸化膜が除去された多孔質シリコン層をクラスタツールにローディングする。本プロセスでは、基板上に半導体、金属、絶縁体を大気に一切曝すことなく、高清浄な雰囲気下で連続的に薄膜

形成ができることにある。

【0102】ローディング後、水素雰囲気下で1000~1100℃の熱処理をすると、内部に多孔質シリコン層を残して表面だけ平坦な非多孔質の単結晶シリコン層が得られる(d)。H<sub>2</sub>中に、SiH<sub>2</sub>C<sub>12</sub>やSiHC<sub>13</sub>を1~100ppm程度含めると、表面の非多孔質の単結晶シリコン層の平坦度は一層向上する。

【0103】次に、最表面が非多孔質した多孔質シリコン層101上にSiH<sub>2</sub>C<sub>12</sub>を用いて1000~1100℃、あるいはSiH<sub>4</sub>を原料ガスにして900~1000℃で単結晶シリコン層102を0.5~2μm程度成長する(e)。数10Torr程度の減圧状態で成長すれば、成長温度は800~850℃まで低温化できる。

【0104】次に、スチーム酸化によりエピ成長シリコン表面を5nm~1μm程度酸化し、酸化膜103を生成する(f)。これは、2H<sub>2</sub>+(1/2)O<sub>2</sub>ガスを内面をPt/TiNコートしたリアクタ内に導入し、酸素を完全に反応させ生成したH<sub>2</sub>+H<sub>2</sub>O雰囲気において、300~400℃で行う。

【0105】この上に、プラズマCVDにより窒化シリコン絶縁膜104を0.02~1.5μm程度形成し(g)、連続してボロンドープのP<sup>+</sup>型のSi層をプラズマCVD法により1~500nm成膜した(h)。さらにIr薄膜122及びNi薄膜123を0.1~2μm程度プラズマCVD装置を用いてそれぞれ堆積し(i)、この基板をデバイスウェハ107とした。

【0106】また、均一磁場DRM(Dipole Ring Magnet)多極励起方式を用いると、Ru、IrやNi薄膜の高品質化が図れることに加え、大面积化が可能な高均一性を得ることができる。また、周波数が2~20GHz程度のマイクロ波を用いたRLSA(Radial Line Slot Antenna)励起方式では、プラズマ照射エネルギーが低く、かつ1×10<sup>12</sup>c m<sup>-3</sup>程度の高均一高密度プラズマを生成することが可能であり、同様に高品質の酸化膜や窒化膜やSi膜を得ることが可能である。

【0107】次に、p<sup>+</sup>型単結晶シリコン基体100とは異なる別のSi基板108を用意し(j)、HF等の薬液洗浄により自然酸化膜除去と表面の水素終端化を行い、この基板をハンドルウェハ108とした。

【0108】デバイスウェハ107のNi層123とハンドルウェハ108表面とが貼り合わせ界面になるように、両者を接触させ貼り合わせ、熱処理を行った。

【0109】図5にデバイスウェハ107とハンドルウェハ108との貼り合わせ装置を示す。完全平坦ステージ400、リング状多段静電チャック401の温度を200~400℃に保つことで、表面の吸着水分、ハイドロカーボン等を常になくしておく。もちろん、クラスタツール内の他のチャンバから搬送されてくるデバイスウェハ105、およびハンドルウェハ106表面の水分、

ハイドロカーボン、シロキサンの吸着は全くない。Ar, N<sub>2</sub>等の超クリーンガスを用いて  $1 \times 10^{-5} \sim 10$  Torr 程度の減圧雰囲気下で、まずウエハ中央を圧接する。すなわち、静電チャック401にハンドルウエハ108を保持することによってハンドルウエハ108を静電チャック401の形状に沿って反らせ、ステージ部400の稼動により両ウエハを正確に位置合わせする。そして、リング状多段静電チャック401の吸引電圧を中央から周辺に向かって次第に弱くすることで、中央から周辺に向かってウエハを貼り合わせていく。この時は、シリサイド反応が起こらないような低い温度にしておく。

【0110】なお、上記に示したように、デバイスウエハ107とハンドルウエハ108の貼り合わせによるSOI基体の形成において、酸化膜の存在しない超高清浄な接合界面を安定して実現するために上記クラスタツールでのプロセスを行った。したがって、貼り合わせ界面となるデバイスウエハ107の金属表面、およびハンドルウエハ108のシリコン表面に、水分やシロキサン、ハイドロカーボンの付着は全く無い。また、メタル表面の酸化膜の成長がないようにするために、デバイスウエハ107についてはNi層123を成膜後、ハンドルウエハ108については水素ターミネイト処理の後、一切大気に曝すことなく搬送し、連続してデバイスウエハ107とハンドルウエハ108とを貼り合わせ、貼り合わせ界面に自然酸化膜などが全く存在しない超高清浄表面での接着を行った。

【0111】上記熱処理は、Ar雰囲気中、処理温度500°Cに設定し、実処理ガスによる熱処理時間は1時間である。本熱処理によるシリサイド反応によりNi層123はすべて10nm程の厚さのニッケルシリサイド層124になり両ウエハが接着し、貼り合わせウエハ113が出来上がる(k)。

【0112】次に、デバイスウエハ側p<sup>+</sup>基板100を除去し(1)、最後に上記貼り合わせ基体113を選択エッチング溶液中に浸し、(多孔質シリコン残留部)101をHF/HNO<sub>3</sub>/CH<sub>3</sub>COOH/H<sub>2</sub>O溶液等で選択的エッチングし、900°C以上の水素雰囲気で熱処理を行い、表面が平滑化されたSOI基板114が完成する(m)。

【0113】SIMSによるデプスプロファイル観察の結果、本実施例では従来の金属基板SOIウエハの貼り合わせ反応界面では実現し得なかった急峻なプロファイルが得られており、各機能層(電磁波遮蔽層、貼り合わせ反応層)の膜厚を完全に制御することが可能となり、300mmウエハのような大口径ウエハにおいてCMOS制作工程と同等の熱工程履歴を経てもウエハの反りはスタートイングウエハと同等であり、膜の剥離といった現象も見られないことが確認できた。

【0114】次に、図12に示すように、この金属基板

SOIウエハ上に、MOSトランジスタを試作した。まず、SiO<sub>2</sub>の絶縁膜を形成し、続いてTaを0.5μm形成した後、ゲート電極のパターニング、及びFETの活性領域となるソース・ドレインのパターニングを行い、イオン注入によりソース・ドレイン層を形成した。なお、本実施例では、イオン注入によるソース・ドレイン領域の形成に際しTaゲートをマスクとし、自己整合的に行った。イオン注入層のアミールは、450°Cの低温で行った。また、イオン注入装置は、到達真空度  $10^{-10}$  Torr であり、イオンビームによるチャンバ金属のスパッタリングによる汚染が十分低くなるように設計されたウルトラクリーン化イオン注入装置を用いた。n型MOSトランジスタのソース503が絶縁膜の開孔を通して直下のIr層122と接続され、またp型MOSトランジスタのソース502が直上のCu配線504と接続された、CMOS構成のインバータ回路を試作した。Ir層付き基板108は接地されており、また、Cu配線504は、電源電圧と接続されている。今回、このCu配線504の面積は、チップ面積の2/3とした。

【0115】また、図12の構造からP<sup>+</sup>型のSi層121を省いた構造のn型MOS/p型MOSトランジスタそれぞれのサブスレッシュルド特性は図8と同じようにある。これより、 $\Delta V_{TH} = -0.2$  [V] の電圧シフトが生じており、良好なCMOSインバータの動作を妨げていることがわかる。これに対して本実施例にある素子のサブスレッシュルド特性は図9のようになる。本発明の構成をとることで、P<sup>+</sup>型Si層の存在により $\Delta V_{TH}$ がキャансセルされている。本発明のSOIウエハを用いることにより、 $\Delta V_{TH}$ の変化にも対応したCMOSインバータを開発することに成功した。

【0116】一方、すべてのプロセスが終了したウエハをエッティングし、埋め込み金属層を露出させた後、そのシート抵抗を測定した結果は図10と同様であった。比較のために本実施例におけるIrをすべてNiにおきかえて作製した場合のシート抵抗を併記している。本実施例の場合、貼り合わせ直後のシート抵抗と、すべてのプロセス終了後のシート抵抗が変化していないが、後者では、著しいシート抵抗変化が観測される。計算によると、貼り合わせ直後存在したNiのうち、48%が貼り合わせ後の各プロセスによりシリサイド化しており、スキンデプスに対して最適化した埋め込み金属層膜厚が変化し、電磁界遮蔽の効果が失われている。本実施例の適用により、よりプロセスマージンの広い金属基板SOIデバイスの作製が可能となった。

【0117】また本実施例において、平坦半導体層としてシリコンを用いたが、他の半導体、例えば、Geやダイヤモンド、GaAsなどを用いても本実施例と同じ結果が得られる。

【0118】また本実施例において、反応停止層の材料

としてI<sub>r</sub>を用いたが、上記のようなプロセスに従うのであれば、I<sub>r</sub>以外のルテニウム(Ru)のような高融点金属(合金)、半導体、およびそれらの化合物であっても、本実施例と同じ結果が得られる。

【0119】また本実施例において、貼り合わせにはN<sub>i</sub>のような金属とシリコンの反応、すなわちシリサイド反応を用いたが、その他の反応である金属合金反応を用いても、本実施例と同じ結果が得られる。

【0120】また本実施例において、シリサイドにはN<sub>i</sub>とシリコンの化合物、すなわちニッケルシリサイドを用いたが、その他の金属を含むシリサイドを用いても、本実施例と同じ結果が得られる。

【0121】また本実施例において、デバイスウェハとハンドルウェハとの貼り合わせ工程は、デバイスウェハ表面に形成したN<sub>i</sub>膜をハンドルウェハの表面金属層に密着させ熱工程を行ったが、デバイスウェハ表面に形成したシリコン膜をハンドルウェハ上の金属層表面に密着させ熱工程を行っても、本実施例と同じ結果が得られる。

【0122】また本実施例において、貼り合わせ後の熱処理はA<sub>r</sub>雰囲気中で行ったが、A<sub>r</sub>以外の不活性ガス、すなわちN<sub>2</sub>、Heであっても、本実施例と同じ結果が得られることは。その他は、先の実施例と同様に適宜変更できる。

【0123】又、窒化シリコン膜を窒化アルミニウム膜にしたり、ハンドルウェハの裏面に金属のような低抵抗の層を設けて、それを接地することも好ましいものである。又、FETに代えてバイポーラトランジスタを形成してもよい。

#### 【0124】

【発明の効果】本発明により、従来技術では実現し得なかった低温プロセスによる高品質金属基板SOIウェハ作製方法と高品質金属基板SOIウェハを提供することに加えて、さらにSOIデバイスの大電流駆動能力化、配線上伝搬信号の高速化、放熱能力の向上による高信頼化を実現可能とすることができる。すなわち、本発明によって初めてギガ・スケール・インテグレーション(GSI)が現実のものとなる。

#### 【図面の簡単な説明】

【図1】本発明の半導体基板とその作業方法を示す。

【図2】SOIウェハ作製プロセスフローを示す概念図である。

【図3】クラスタツールの構成を示す概念図である。

【図4】二周波励起プラズマ装置を示す概念図である。

【図5】貼り合わせの工程を示す模式図である。

【図6】作製したCMOSデバイスの断面構造を示す模式図である。

【図7】シリコン上、及び金属SOI基板上のAl配線を1mm、2mm伝播した時の0.1nsecパルス信号波形を示すグラフである。

【図8】pMOS/nMOSのサブスレッシュルド特性を示すグラフである。

【図9】電源反転型のpMOS/nMOSのサブスレッシュルド特性を示すグラフである。

【図10】埋め込み金属層のシート抵抗を示すグラフである。

【図11】本発明の別の実施例によるSOI基板の作製法を示す。

【図12】別の実施例によるCMOSデバイスの断面積を示す。

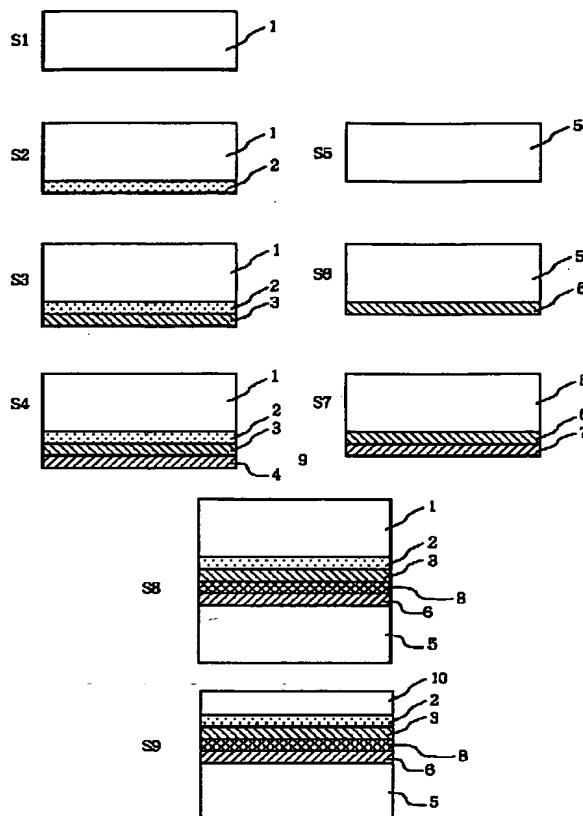
#### 【符号の説明】

- 1 第1の部材、
- 2 絶縁層、
- 3 第1の反応抑止層(反応停止層)、
- 4 第1の反応前駆層、
- 5 第2の部材、
- 6 第2の反応抑止層、
- 7 第2の反応前駆層、
- 8 導電性材料層(反応層)、
- 10 半導体層、
- 100 p<sup>+</sup>型単結晶シリコン基体、
- 101 多孔質シリコン層、
- 102 単結晶シリコン層、
- 103 酸化膜、
- 104 窒化シリコン絶縁膜、
- 105 Ru薄膜、
- 106 アモルファスシリコン層、
- 107 デバイスウェハ、
- 108 Si基板、
- 109 Ru薄膜、
- 110 N<sub>i</sub>薄膜、
- 111 ハンドルウェハ、
- 112 シリサイド層、
- 113 貼り合わせウェハ、
- 114 SOI基板、
- 122 Ru薄膜、
- 123 N<sub>i</sub>薄膜、
- 124 ニッケルシリサイド層、
- 300 チャンバ、
- 301 ターゲット、
- 302 ガス導入口、
- 303 真空排気系、
- 304 RF電源、
- 305 試料、
- 306 マッチング回路、
- 307 シールド、
- 400 完全平坦ステージ、
- 401 リング状多段静電チャック、
- 501 Ta基板、
- 502 p型MOSトランジスタのソース、

31

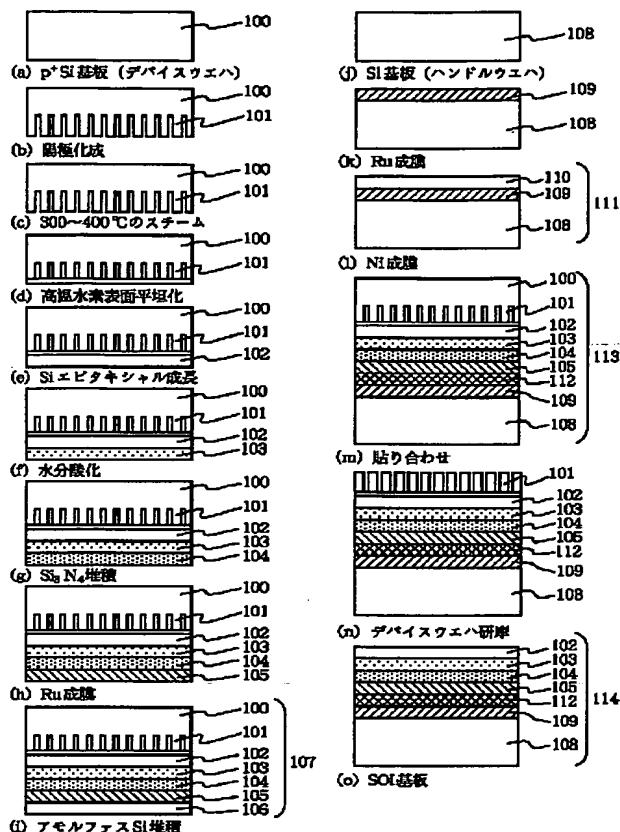
## 503 n型MOSトランジスタのソース、

【図1】

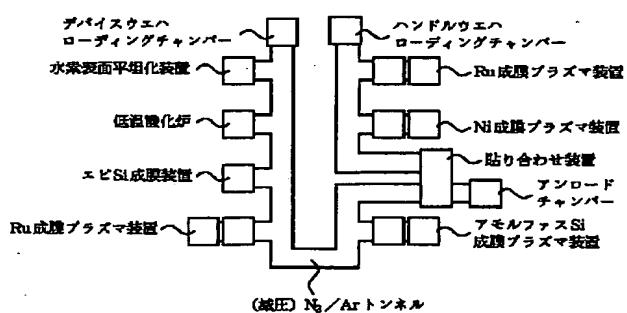


## 504 メタル配線。

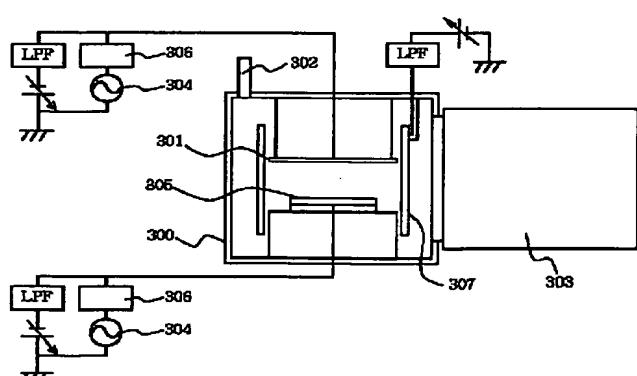
【図2】



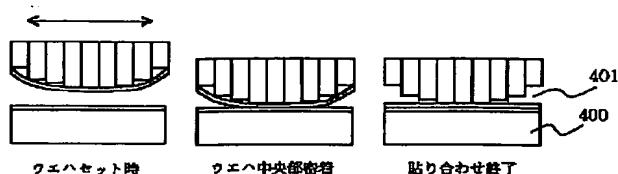
【図3】



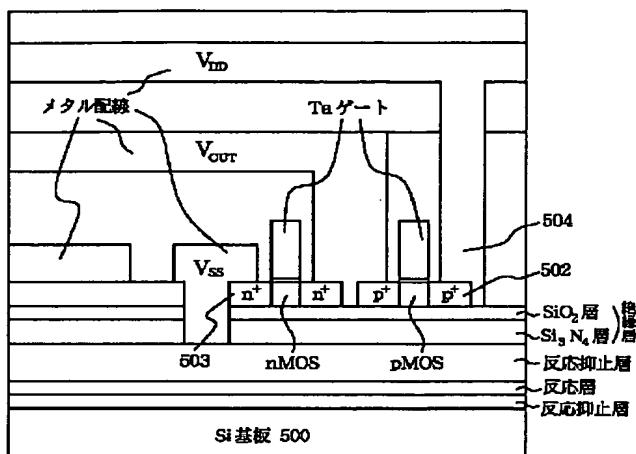
【図4】



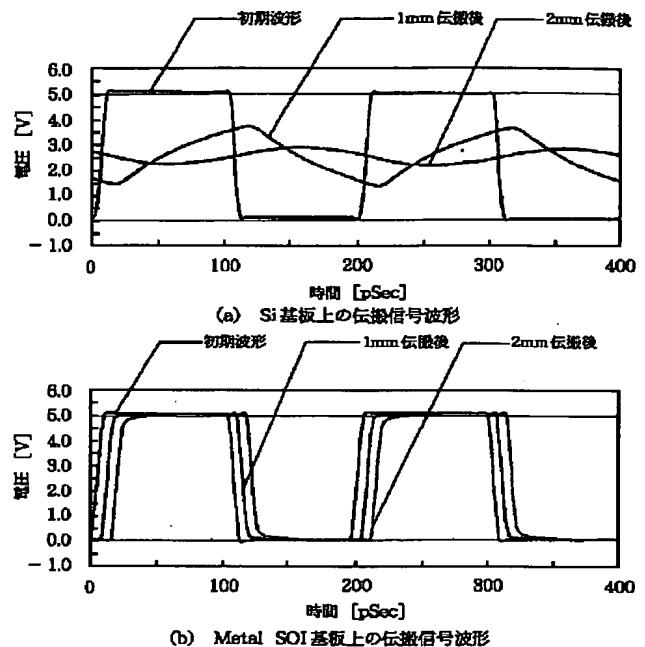
【図5】



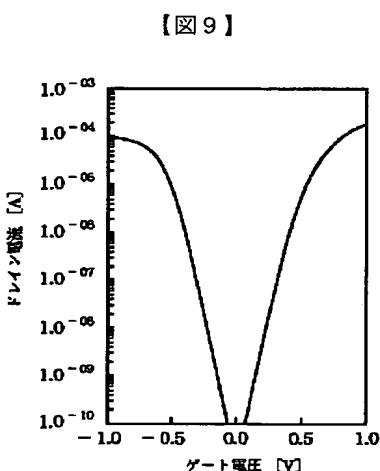
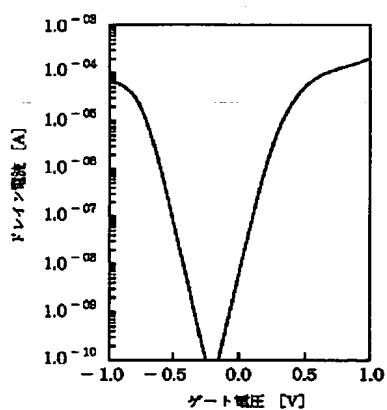
【図6】



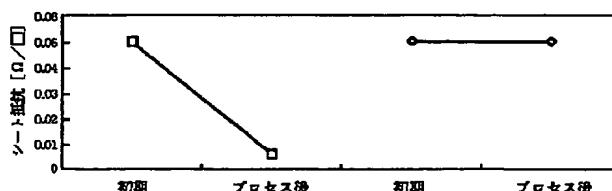
【図7】



【図8】

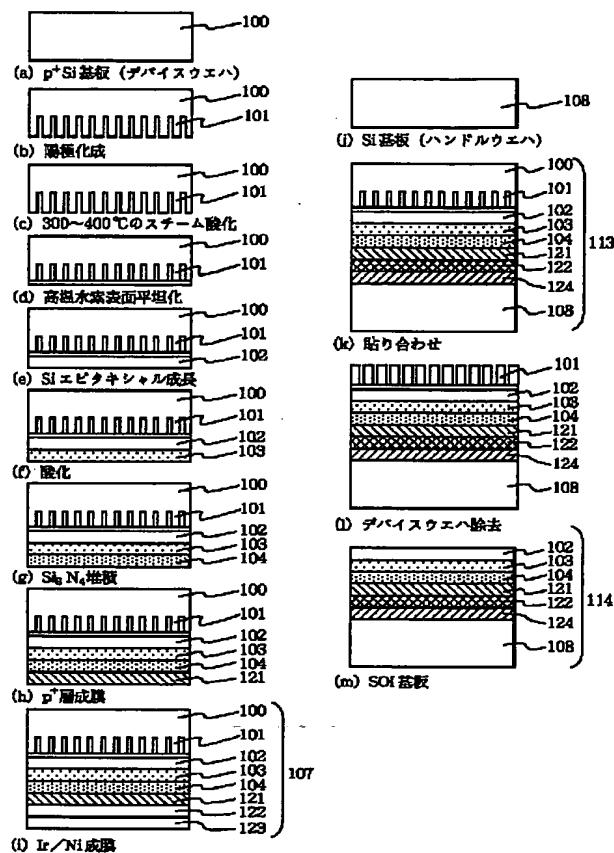


【図10】

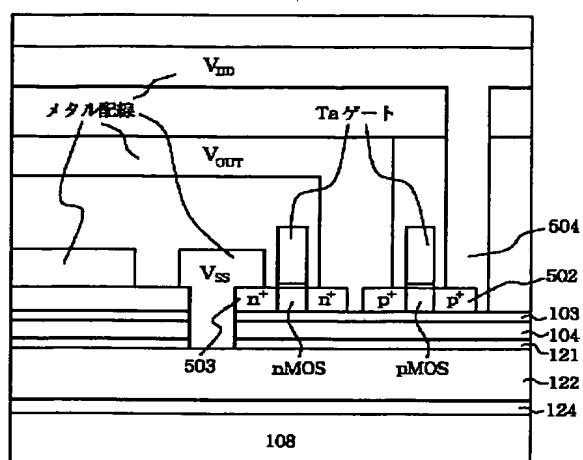


埋め込み金属がすべてNiの場合  
(ニッケルシリサイド)とRu  
反応抑制層(Ru)から構成さ  
れている場合

【図11】



【図12】



フロントページの続き

(72) 発明者 大見 忠弘

宮城県仙台市青葉区米ヶ袋2の1の17の  
301

(72) 発明者 田中 信義

東京都大田区下丸子3丁目30番2号キヤノ  
ン株式会社内

(72) 発明者 篠原 寿邦

宮城県仙台市青葉区荒巻字青葉（無番地）  
東北大学工学部電子工学科内

(72) 発明者 牛木 健雄

宮城県仙台市青葉区荒巻字青葉（無番地）  
東北大学工学部電子工学科内

(72) 発明者 新田 雄久

東京都文京区本郷4丁目1番4号株式会社  
ウルトラクリーンテクノロジー開発研究所  
内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**